

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-260982
(P2000-260982A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78 21/336		H 0 1 L 29/78	6 5 2 C 6 5 8 A 6 5 8 E

審査請求 未請求 請求項の数 3 O L (全 10 頁)

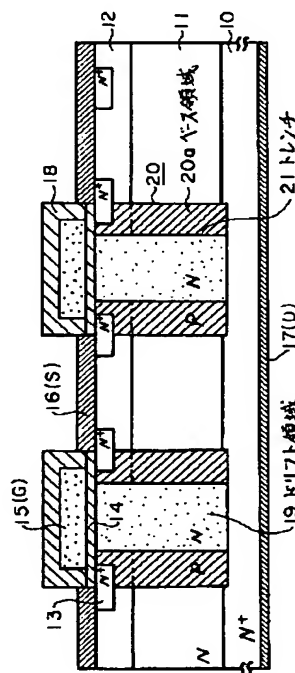
(21) 出願番号	特願平11-59839	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成11年3月8日 (1999.3.8)	(72) 発明者	石橋 弘 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72) 発明者	松田 昇 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72) 発明者	大澤 明彦 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(74) 代理人	100097629 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ドリフト領域に囲まれたストライプ状のベース領域を有し、オン抵抗を低減させた縦型MOSFETにおいて、その耐圧を高くすることができる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板10上の第1導電型半導体エピタキシャル層11に形成されたトレンチ21内に第1導電型のドリフト領域19を形成し、このトレンチの側壁周囲にドリフト領域を囲むようにベース領域12の一部を構成するストライプ状の第2導電型ベース領域20を形成する。ストライプ状ベース領域20は、前記側壁に沿って、縦方向に不純物濃度分布が均一である。ストライプ状ベース領域は、固相拡散もしくはエピタキシャル成長により形成される。これらの方法によりストライプ状領域は不純物濃度がエピタキシャル層に対して縦方向に均一であり、不必要な抵抗増が生じないのでセルの高耐圧を維持できる。



【特許請求の範囲】

【請求項1】 第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に形成された1対の第1導電型ソース領域と、前記表面領域に前記1対の第1導電型ソース領域を囲むように形成された第1の第2導電型ベース領域、前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域の上にゲート酸化膜を介して形成されたゲート電極と、前記第1導電型半導体エピタキシャル層の前記ゲート電極直下の表面から裏面を突き抜けて前記半導体基板の一部まで形成されたトレンチに埋め込み形成された第1導電型ドリフト領域と、前記トレンチ側壁周辺にストライプ状に形成され、前記第1の第2導電型ベース領域に部分的に重なる領域を有する第2の第2導電型ベース領域とを備え、前記第2の第2導電型ベース領域の前記第1の第2導電型ベース領域に重ならない領域は、前記エピタキシャル層の厚さ方向である縦方向に不純物濃度が均一に分布していることを特徴とする半導体装置。

【請求項2】 第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に1対の第1導電型ソース領域を形成する工程と、前記第1導電型半導体エピタキシャル層の表面領域に、前記1対の第1導電型ソース領域を囲むように第1の第2導電型ベース領域を形成する工程と、前記1対の第1導電型ソース領域間の表面から裏面を突き抜けて前記半導体基板の一部に達するトレンチを形成する工程と、前記第1導電型半導体エピタキシャル層表面及び前記トレンチ側壁にボロンシリケートガラス膜を堆積させる工程と、前記ボロンシリケートガラス膜を熱処理して前記トレンチ側壁からボロンを第1導電型半導体エピタキシャル層に拡散させて、前記トレンチ側壁周辺にストライプ状であり、且つ前記第1の第2導電型ベース領域に部分的に重なる領域を有する第2の第2導電型ベース領域を形成する工程と、前記トレンチに埋め込まれるように第1導電型半導体からなるピラー状のドリフト領域を形成する工程と、前記第1導電型半導体エピタキシャル層表面領域の前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域上にゲート酸化膜を介してゲート電極を形成する工程とを備え、前記第2の第2導電型ベース領域の前記第1の第2導電型ベース領域に重ならない領域は、前記第1導電型半導体エピタキシャル層の厚さ方向である縦方向に不純物濃度が均一に分布されていることを特徴とする半導体装置の製造方法。

【請求項3】 第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に1対の第1導電型ソース領域を形成する工程と、前記第1導電型半導体エピタキシャル層の表面領域に、前記1対の第1導電型ソース領域を囲むように第1の第2導電型ベース領域を形成する工程と、前記1対の第1導電型ソース領域間の表面から裏面を突き抜けて前記半導体基板の一部

に達するトレンチを形成する工程と、前記トレンチ内部に第2導電型半導体をエピタキシャル成長させて、前記トレンチ側壁周辺にストライプ状に前記第1の第2導電型ベース領域に接続する第2の第2導電型ベース領域を形成する工程と、前記トレンチに埋め込まれるように第1導電型半導体からなるピラー状のドリフト領域を形成する工程と、前記第1導電型半導体エピタキシャル層表面領域の前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域上にゲート酸化膜を介してゲート電極を形成する工程とを備え、前記第2の第2導電型ベース領域は、前記第1導電型半導体エピタキシャル層の厚さ方向である縦方向に不純物濃度が均一に分布されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、とくにオン抵抗の小さい高電圧パワーMOSFETの半導体基板内部に形成されたベース領域の構造及びその形成方法に関するものである。

【0002】

【従来の技術】従来の縦型MOSFETは、図12に示すように、N+シリコンなどの半導体基板100の裏面にドレイン電極107が形成されている。半導体基板100表面にはN型シリコンエピタキシャル層（以下、Nエピタキシャル層という）101が形成されている。Nエピタキシャル層101表面領域にはP型不純物拡散領域がPベース領域102として形成されている。Pベース領域102の表面領域にはN+不純物拡散領域がN+ソース領域103として形成されている。N+ソース領域にはソース電極106が形成されている。さらに、Nエピタキシャル層101、Pベース領域102及びN+ソース領域103の上にゲート酸化膜104を介してゲート電極105が形成されている。Nエピタキシャル層は、N型ドレインドリフト領域（以下、ドリフト領域という）101として用いられる。このような従来の縦型MOSFETは、ドレイン電流は、ドリフト領域101を縦方向に流れる。ターンオフ時の阻止電圧は主としてこの領域にかかる。そして、降伏電圧を高めるためには、このNエピタキシャル層を厚くし、さらにその不純物濃度を下げる必要があった。

【0003】しかし、このためにオン抵抗が指数関数的に上昇する。降伏電圧600VのMOSFETではオン抵抗成分の95%以上がNエピタキシャル層の抵抗で占められている。これは、低電圧MOSFETのようにセル形状と不純物濃度、電流密度の最適化だけではオン抵抗を下げることは難しかった。そこで損失電力が低減され、発熱量が小さい縦型MOSFETが開発された。図13は、単位面積当たりのオン抵抗を小さくした前記新しい構造の縦型MOSFETの断面図である。N+シリコンなどの半導体基板120の裏面にはドレイン電極1

27が形成されている。そして、半導体基板120の表面側にはN型シリコンエピタキシャル層（以下、Nエピタキシャル層という）121が形成されている。Nエピタキシャル層121には、半導体基板120表面の一部まで入り込むトレンチが形成されおりその側壁周辺領域にはPベース領域130が垂直にストライプ状に形成されている。Nエピタキシャル層121の表面領域にはPベース領域130と連続的につながるP+ベース領域122が形成されている。トレンチ内部にはN型シリコンエピタキシャル層がピラー状に堆積されており、この層はN型ドレインドリフト領域（以下、ドリフト領域という）129として用いられている。

【0004】P+ベース領域122の表面領域にはN+不純物拡散領域がN+ソース領域123として形成されている。N+ソース領域123は、ピラー状のドリフト領域129を挟んで所定の間隔で1対形成されている。N+ソース領域123にはソース電極126が形成されている。また、1対のN+ソース領域123間の上、すなわち、ドリフト領域129およびPベース領域130の上にゲート酸化膜124を介してゲート電極125が形成されている。ゲート電極125は、シリコン酸化膜などの絶縁膜128により被覆保護されている。以上のように、このMOSFETのセル構造は、P+ベース領域122、N+ソース領域123、ゲート酸化膜124、ゲート電極125、ソース電極126、ドレイン電極127、ドリフト領域129およびPベース領域130から構成され、このセル構造が半導体基板に繰り返し形成配置されて半導体装置が構成されている。この新しい縦型MOSFETは、セルごとに細いピラー状のN型エピタキシャル層がドリフト領域として形成され、その周囲がP型不純物拡散領域に囲まれている。すなわち、縦方向のソース・ドレイン電流路がPベース領域に囲まれた構造となっている。

【0005】MOSFETセルがオンからオフ状態になると、Pベース領域が埋め込まれたドリフト領域（N型領域）に形成される空乏層を歪ませる。そして、阻止電圧勾配が3次元的に折り返した形に広がり電圧耐量が高まる。Pベース領域を縦方向に延ばすことにより降伏電圧を高めることができる。そのため、オン抵抗と降伏電圧の関係は、直線的になる。ところで、ストライプ状のPベース領域130は、以下の製造工程により形成される。まず、厚さ300～500 μ m程度のN+シリコン半導体基板120上に膜厚50 μ m程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度のN型エピタキシャル層121を形成する。N型エピタキシャル層121の表面領域にボロンなどのP型不純物を注入してP+ベース領域122を形成する（図14）。次に、N型エピタキシャル層121表面にシリコン酸化膜132を堆積させ、これをパターニングしてエッチングに対するマスクを形成する（図15）。次に、このマスク132を用いて四塩化炭

素と酸素との混合ガスなどを利用した反応性イオンエッチング（RIE:Reactive Ion Etching）により、P+ベース領域122表面から半導体基板120表面を少しエッチングするようにトレンチ131を形成する。トレンチ131の幅wは、6 μ m程度、深さdは、N型エピタキシャル層121の膜厚50 μ mより幾分深くなっている（図16）。

【0006】次に、CVD（Chemical Vapour Deposition）などにより、トレンチ131内部表面及びマスク132表面、トレンチ131の底面に露出する半導体基板120上にSiO₂などのパフファ酸化膜133を形成する（図17）。その後、トレンチ131内面上にトレンチ131表面からその側壁にボロンなどのP型不純物を斜方イオン注入する。その後半導体基板120を熱処理してトレンチ側壁にストライプ状のP型不純物拡散領域を形成し、この領域をPベース領域130とする（図18）。その後、工程をさらに進めて、図13に示す縦型MOSFETを形成する。

【0007】

【発明が解決しようとする課題】前述のように、図13に示す縦型MOSFETは、オン抵抗が降伏電圧と比例して変化するので、オン抵抗が指数関数的に増大する従来のものに比較して高電圧になるほどオン抵抗の低減効果が大きくなる。そのため損失電力が小さくなり、発熱量が小さくなってシステム全体のコストが下がることになる。このように、従来のオン抵抗を低減させた縦型MOSFETは、高電圧においてオン抵抗が小さいという特徴を備えているが、トレンチの側壁に沿ったストライプ状の領域（Pベース領域）は、ボロンなどのP型不純物をこの側壁の斜方向からイオン注入（斜方インプラ）して形成されている。この方法で得られた不純物拡散領域は、縦方向の不純物濃度分布を均一にすることが困難である。また、トレンチ底部にもイオン注入がされることがあり、そのためトレンチ底部のN+シリコン半導体基板にもP型不純物拡散領域が形成されることがあった。その結果MOSFETの耐圧を高くすることができないという問題があった。本発明は、このような事情によりなされたものであり、オン抵抗を低減させた縦型MOSFETにおいて、オン抵抗を小さくするとともにそのセル耐圧を高く維持できる半導体装置及びその製造方法を提供する。

【0008】

【課題を解決するための手段】本発明は、半導体基板上の第1導電型半導体エピタキシャル層に形成されたトレンチ内に第1導電型のドリフト領域を形成し、このトレンチの側壁周囲にドリフト領域を囲むように形成され、ベース領域の一部を構成するストライプ状の第2導電型ベース領域を備えたセル構造を有するMOSFETにおいて、このストライプ状の第2導電型ベース領域は、前記側壁に沿って、即ち、縦方向に不純物濃度分布が均一

であることを特徴とし、また、前記ストライプ状の第2導電型ベース領域は、固相拡散もしくはエピタキシャル成長により形成されることを特徴としている。これらの方法を用いてストライプ状の第2導電型ベース領域がドリフト領域周囲に形成されるので、このストライプ状領域は、不純物濃度が前記エピタキシャル層に対して縦方向に均一であり、また従来のようにトレンチ底部にP型不純物が混入しないので、不必要な抵抗増が生じない。その結果オン抵抗を小さくするとともにセル耐圧を高く維持することが可能になる。

【0009】すなわち、本発明の半導体装置は、第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に形成された1対の第1導電型ソース領域と、前記表面領域に前記1対の第1導電型ソース領域を囲むように形成された第1の第2導電型ベース領域、前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域の上にゲート酸化膜を介して形成されたゲート電極と、前記第1導電型半導体エピタキシャル層の前記ゲート電極直下の表面から裏面を突き抜けて前記半導体基板の一部まで形成されたトレンチに埋め込み形成された第1導電型ドリフト領域と、前記トレンチ側壁周辺にストライプ状に形成され、前記第1の第2導電型ベース領域に部分的に重なる領域を有する第2の第2導電型ベース領域とを備え、前記第2の第2導電型ベース領域の前記第1の第2導電型ベース領域に重ならない領域は、前記エピタキシャル層の厚さ方向である縦方向に不純物濃度分布が均一であることを特徴としている。

【0010】本発明の半導体装置の製造方法は、第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に1対の第1導電型ソース領域を形成する工程と、前記第1導電型半導体エピタキシャル層の表面領域に、前記1対の第1導電型ソース領域を囲むように、第1の第2導電型ベース領域を形成する工程と、前記1対の第1導電型ソース領域間の表面から裏面を突き抜けて前記半導体基板の一部に達するトレンチを形成する工程と、前記第1導電型半導体エピタキシャル層表面及び前記トレンチ側壁にボロンシリケートガラス(BSG; BornSilicate Glass)膜を堆積させる工程と、前記ボロンシリケートガラス膜を熱処理して前記トレンチ側壁からボロンを第1導電型半導体エピタキシャル層に拡散させて、前記トレンチ側壁周辺にストライプ状であり、且つ前記第1の第2導電型ベース領域に部分的に重なる領域を有する第2の第2導電型ベース領域を形成する工程と、前記トレンチに埋め込まれるように第1導電型半導体からなるピラー状のドリフト領域を形成する工程と、前記第1導電型半導体エピタキシャル層表面領域の前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域上にゲート酸化膜を介してゲート電極を形成する工程とを備え、前記第2の第2導電型

ベース領域の前記第1の第2導電型ベース領域に重ならない領域は、前記第1導電型半導体エピタキシャル層の厚さ方向である縦方向に不純物濃度分布が均一であることを第1の特徴としている。

【0011】また、本発明の半導体装置の製造方法は、第1導電型半導体基板上に形成された第1導電型半導体エピタキシャル層の表面領域に1対の第1導電型ソース領域を形成する工程と、前記第1導電型半導体エピタキシャル層の表面領域に、前記1対の第1導電型ソース領域を囲むように、第1の第2導電型ベース領域を形成する工程と、前記1対の第1導電型ソース領域間の表面から裏面を突き抜けて前記半導体基板の一部に達するトレンチを形成する工程と、前記トレンチ内部に第2導電型半導体をエピタキシャル成長させて、前記トレンチ側壁周辺にストライプ状に前記第1の第2導電型ベース領域に接続する第2の第2導電型ベース領域を形成する工程と、前記トレンチに埋め込まれるように第1導電型半導体からなるピラー状のドリフト領域を形成する工程と、前記第1導電型半導体エピタキシャル層表面領域の前記1対の第1導電型ソース領域及び前記第1の第2導電型ベース領域上にゲート酸化膜を介してゲート電極を形成する工程とを備え、前記第2の第2導電型ベース領域は、前記第1導電型半導体エピタキシャル層の厚さ方向である縦方向に不純物濃度分布が均一であることを第2の特徴としている。

【0012】

【発明の実施の形態】以下図面を参照して発明の実施の形態を説明する。まず、図1乃至図8を参照して第1の実施例を説明する。図1は、縦型MOSFETのセル構造を示す断面図、図2は、図1のセル構造の部分に透過した平面図、図3は、図1のセル構造上面のゲート電極構造を示す平面図である。N+シリコンなどの半導体基板10の裏面には金属膜からなるドレイン電極(D)17が形成されている。そして、半導体基板10の表面側にはN型シリコンエピタキシャル層(以下、Nエピタキシャル層という)11が形成されている。Nエピタキシャル層11には、その表面から半導体基板10表面の一部まで入り込むトレンチ21が形成されており、その側壁周辺領域にはPベース領域20が垂直にストライプ状に形成されている。Nエピタキシャル層11の表面領域にはPベース領域20と連続的につながるP+ベース領域12が形成されている。トレンチ21内部にはN型シリコンエピタキシャル層がピラー状に堆積されており、この層はN型ドレインドリフト領域(以下、ドリフト領域という)19として用いられている。P+ベース領域12が形成されている表面領域にはN+不純物拡散領域がN+ソース領域13として形成されている。

【0013】N+ソース領域13は、ピラー状のドリフト領域19を挟んで所定の間隔で1対形成されている。N+ソース領域13にはアルミニウムなどの金属膜から

なるソース電極(S)16が形成されている。また、1対のN+ソース領域13間の上、すなわちドリフト領域19及びPベース領域20の上にゲート酸化膜14を介してポリシリコンなどからなるゲート電極(G)15が形成されている。ゲート電極15は、シリコン酸化膜などの絶縁膜18により被覆保護されている。そして、Pベース領域20は、P+ベース領域12とNエピタキシャル層11の表面領域で重なっており、且つ重ならない領域20aは、Nエピタキシャル層11の厚さ方向である縦方向に不純物濃度分布が均一である。以上のように、このMOSFETのセル構造は、P+ベース領域12、N+ソース領域13、ゲート酸化膜14、ゲート電極15、ソース電極16、ドレイン電極17、ドリフト領域19及びPベース領域20から構成され、このセル構造が半導体基板に繰り返し形成配置されて半導体装置が構成されている。

【0014】この縦型MOSFETは、セルごとに細いピラー状のN型エピタキシャル層がドリフト領域として形成され、その周囲がP型不純物拡散領域に囲まれている。すなわち、縦方向のソース・ドレイン電流路がPベース領域に囲まれた構造となっている。この実施例では、以下の方法を用いてストライプ状のPベース領域がドリフト領域周囲に形成されるので、このストライプ状領域は、不純物濃度が半導体基板上に形成されたエピタキシャル層に対して縦方向に均一であり、その結果セルの耐圧を従来より高くできる。次に、図4乃至図8を参照して図1のMOSFETのセル構造の製造方法を説明する。図は、いずれもセル構造の製造工程断面図である。

【0015】まず、厚さ300~500 μ m程度のN+シリコン半導体基板10上に膜厚50 μ m程度、不純物濃度が 1×10^{17} cm⁻³程度のNエピタキシャル層11を形成する。N型エピタキシャル層11の表面領域にボロンなどのP型不純物を注入してP+ベース領域12を形成する(図4)。次に、Nエピタキシャル層11表面にシリコン酸化膜22を堆積させ、これをパターンニングしてエッチングに対するマスクを形成する(図5)。次に、このマスク22を用いて四塩化炭素と酸素との混合ガスなどを利用した反応性イオンエッチング(RIE)により、P+ベース領域12表面から半導体基板10表面を少しエッチングするようにトレンチ21を形成する。トレンチ21の幅wは、6 μ m程度、深さdは、N型エピタキシャル層11の膜厚50 μ mより幾分深くなっている(図6)。トレンチ幅wは、2~10 μ mが適当である。次に、RIEダメージ除去などの処理を行ってから、CVDなどにより、トレンチ21内部表面及びマスク22の表面、トレンチ21の底面に露出する半導体基板10上に膜厚300nm程度のボロン濃度が $1 \times 10^{19} \sim 1 \times 10^{21}$ /cm³のボロンシリケートガラス(BSG)膜24を形成する(図7)。

【0016】次に、RIEエッチングなどにより、マスク22上及びトレンチ21底面上のBSG膜をエッチング除去してBSG膜24がトレンチ21側壁にのみ堆積させる(図8)。その後、トレンチ21側壁上のBSG膜24を1000℃~1100℃、例えば、1050℃、N₂雰囲気中で熱処理させてボロンをトレンチ21側壁からNエピタキシャル層11内部に拡散させ、トレンチ側壁周辺にストライプ状に形成されたPベース領域20を形成する。Pベース領域20は、Nエピタキシャル層11の表面領域においてP+ベース領域12と重なり、重ならない領域20aは、Nエピタキシャル層の厚さ方向である縦方向に不純物濃度分布が均一である。次に、BSG膜をウエットエッチングなどにより除去してから、トレンチ21に埋め込まれるようにピラー状のNエピタキシャル層を成長させ、これをドリフト領域19とする。Nエピタキシャル層11表面領域の1対のN型ソース領域13上、P+ベース領域12上及びドリフト領域19上にゲート酸化膜14を形成し、その上にゲート電極15及びこれを保護する絶縁膜18を形成する。次に、半導体基板10裏面にドレイン電極17及びNエピタキシャル層11表面にソース電極16を形成して図1に示す縦型MOSFETを得る。

【0017】次に、図9乃至図11を参照して第2の実施例を説明する。図9は、縦型MOSFETのセル構造を示す断面図、図10及び図11は、このセル構造の製造工程断面図である。この実施例のセル構造は、図1のセル構造と実質的に同じである。N+シリコン半導体基板30裏面にドレイン電極37が形成されている。半導体基板30の表面側にはN型シリコンエピタキシャル層(Nエピタキシャル層)31が形成されている。Nエピタキシャル層31には、その表面から半導体基板30表面の一部まで入り込むトレンチ41が形成されており、その側壁周辺領域にはPベース領域40が垂直にストライプ状に形成されている。Nエピタキシャル層31の表面領域にはPベース領域40と連続的につながるP+ベース領域32が形成されている。トレンチ41内部にはN型シリコンエピタキシャル層がピラー状に堆積されており、この層はN型ドレインドリフト領域(ドリフト領域)39として用いられている。P+ベース領域32が形成されている表面領域にはN+不純物拡散領域がN+ソース領域33として形成されている。N+ソース領域33は、ピラー状のドリフト領域39を挟んで所定の間隔で1対形成されている。N+ソース領域33にはアルミニウムなどのソース電極36が形成されている。

【0018】また、1対のN+ソース領域33間の上、すなわちドリフト領域39及びPベース領域30の上にゲート酸化膜34を介してポリシリコンなどのゲート電極35が形成されている。ゲート電極35は、シリコン酸化膜などの絶縁膜38により被覆保護されている。Pベース領域40は、P+ベース領域32とNエピタキシ

ャル層31の表面領域でつながっている。Pベース領域40は、Nエピタキシャル層31の厚さ方向である縦方向に不純物濃度分布が均一になっている。この縦型MOSFETは、セルごとに細いピラー状のN型エピタキシャル層がドリフト領域として形成され、その周囲がP型不純物拡散領域に囲まれている。すなわち、縦方向のソース・ドレイン電流路がPベース領域に囲まれた構造となっている。この実施例ではストライプ状のPベース領域がエピタキシャル成長法によりドリフト領域の周囲に形成されるので、このストライプ状領域は、不純物濃度が前記Nエピタキシャル層31に対して縦方向に均一であり、その結果セルの耐圧を従来より高くすることができる。

【0019】次に、図10及び図11を参照してストライプ状のPベース領域を形成する方法を説明する。図6に示した工程までは、第1の実施例と同じなので、ここまでの説明は省略する。厚さ300～500 μ m程度のN+シリコン半導体基板30上に膜厚50 μ m程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度のNエピタキシャル層31が形成され、この表面領域にボロンなどのP型不純物を注入してP+ベース領域32が形成されている。そして、Nエピタキシャル層31表面にシリコン酸化膜をマスク42として形成したトレンチ21が設けられている。トレンチ21の幅wは、6 μ m程度、深さdは、Nエピタキシャル層31の膜厚50 μ mより幾分深くなっている。トレンチ幅wは、2～10 μ mが適当である。次に、RIEダメージ除去などの処理を行ってから、CVDなどにより、トレンチ41内部側面及びトレンチ41の底面に露出する半導体基板30上にP型シリコンエピタキシャル層（Pエピタキシャル層）43を選択的に成長させる（図10）。

【0020】次に、RIEエッチングなどによりトレンチ41底面上のP型シリコンエピタキシャル層43をエッチング除去してトレンチ41に沿って形成されたストライプ状のPベース領域40がトレンチ21側壁上にのみ形成される（図11）。その後、Pベース領域40は、Nエピタキシャル層31の表面領域においてP+ベース領域32とつながり、Nエピタキシャル層31の厚さ方向である縦方向に不純物濃度分布が均一である。次にトレンチ41に埋め込まれるようにピラー状のNエピタキシャル層を成長させ、これをドリフト領域39とする。Nエピタキシャル層31表面領域に1対のN型ソース領域33上、P+ベース領域32上及びドリフト領域39上にゲート酸化膜34を形成し、その上にゲート電極35及びこれを保護する絶縁膜38を形成する。次に、半導体基板30裏面にドレイン電極17及びNエピタキシャル層31表面にソース電極36を形成して図9に示す縦型MOSFETを得る。

【0021】

【発明の効果】本発明は、以上の構成により、ドリフト領域周囲に形成されるストライプ状のPベース領域は、不純物濃度が前記エピタキシャル層に対して縦方向に均一に分布されており、その結果、オン抵抗を小さくするとともにセル耐圧を高く維持することができる。また、斜方インプラを用いた従来のように、トレンチ底部にP型不純物が混入しないので、不必要な抵抗増が生じない。

【図面の簡単な説明】

【図1】本発明の半導体装置の断面図。

【図2】図1に示す半導体装置の上面の一部を透視した平面図。

【図3】図1に示す半導体装置の上面の電極配置を説明する平面図。

【図4】本発明の製造工程を説明する断面図。

【図5】本発明の製造工程を説明する断面図。

【図6】本発明の製造工程を説明する断面図。

【図7】本発明の製造工程を説明する断面図。

【図8】本発明の製造工程を説明する断面図。

【図9】本発明の半導体装置の断面図。

【図10】本発明の製造工程を説明する断面図。

【図11】本発明の製造工程を説明する断面図。

【図12】従来の半導体装置の断面図。

【図13】従来の半導体装置の断面図。

【図14】従来の製造工程を説明する断面図。

【図15】従来の製造工程を説明する断面図。

【図16】従来の製造工程を説明する断面図。

【図17】従来の製造工程を説明する断面図。

【図18】従来の製造工程を説明する断面図。

【符号の説明】

10、30、100、120・・・半導体基板、

11、31、101、121・・・Nエピタキシャル層、

12、32、102、122・・・Pベース領域、

13、33、103、132・・・Nソース領域、

14、34、104、134・・・ゲート酸化膜、

15、35、105、135・・・ゲート電極、

16、36、106、126・・・ソース電極、

17、37、107、127・・・ドレイン電極、

18、38、128・・・絶縁膜、

19、39、129・・・ドリフト領域、

20、20a、40、130・・・Pベース領域、

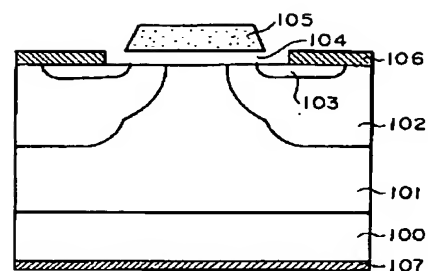
21、41、131・・・トレンチ、

22、42、132・・・シリコン酸化膜（マスク）、

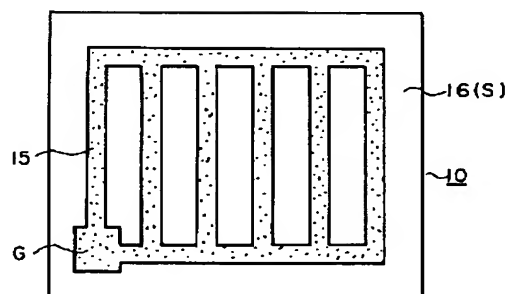
24・・・BSG膜、43・・・Pエピタキシャル層、

133・・・バッファ酸化膜。

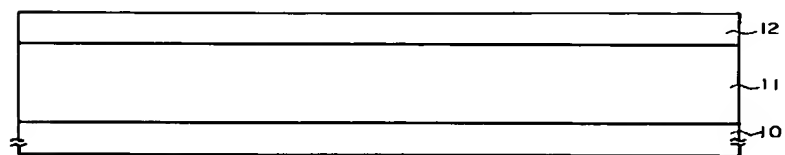
【图 1 2】



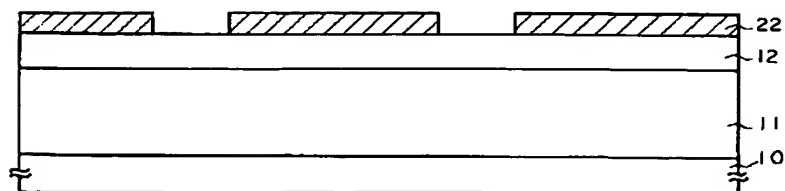
【図 3】



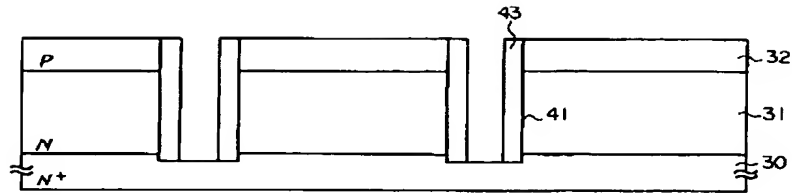
【図 4】



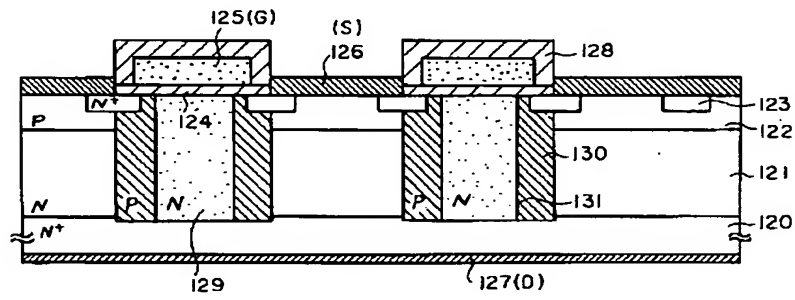
【图5】



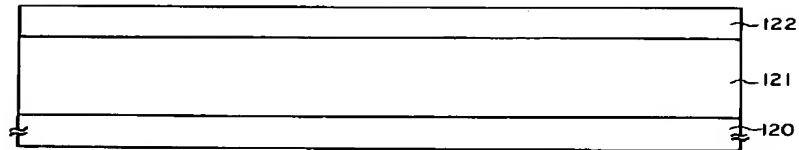
【図 1.1】



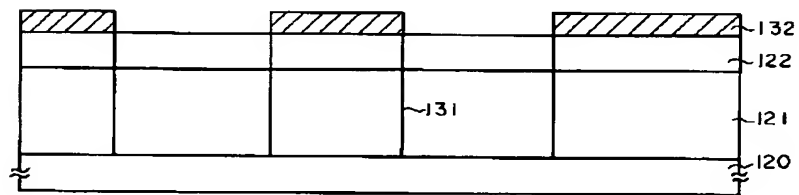
【図 1.3】



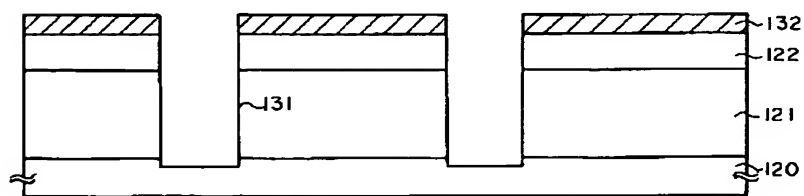
【図 1.4】



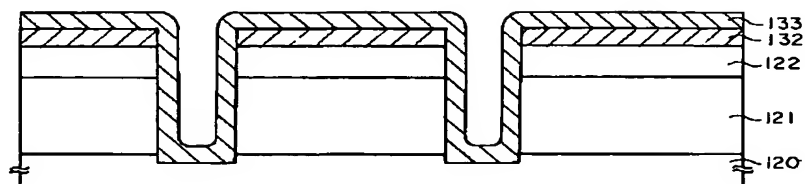
【図 1.5】



【図 1.6】



【図17】



【図18】

